

exo 1

a)

E	e_3	e_2	e_1	e_0	Q	R	q_0	q_3	q_2	q_1	q_0
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	2	0	0	0	1	0
2	0	0	1	0	0	4	0	0	1	0	0
3	0	0	1	1	0	6	0	0	1	1	0
4	0	1	0	0	0	8	0	1	0	0	0
5	0	1	0	1	1	0	1	0	0	0	0
6	0	1	1	0	1	2	1	0	0	1	0
7	0	1	1	1	1	4	1	0	1	0	0
8	1	0	0	0	1	6	1	0	1	1	0
9	1	0	0	1	1	8	1	1	0	0	0

(10 Q aussi est forcément pair donc 2E-200 pair) car 2E est pair, donc le bit de poids faible, que l'on appelle le bit de parité, est nécessairement à zéro.

d) ① e_3, e_2

$e_3 e_2$	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	X	X	X	X
10	1	1	X	X

→ bloc de 4: $e_2 e_1$

bloc de 8: e_3

→ bloc de 4: $e_2 e_0$

e_3, e_0

$e_3 e_0$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	X	X	X	X
10	0	1	X	X

bloc de 4: $e_3 e_0$

bloc de 2: $e_2 \bar{e}_1 \bar{e}_0$

e_3, e_1

$e_3 e_1$	00	01	11	10
00	0	0	1	1
01	0	0	1	0
11	X	X	X	X
10	1	0	X	X

→ bloc de 4: $\bar{e}_2 e_1$

bloc de 4: $e_3 \bar{e}_0$

bloc de 4: $e_1 e_0$

b) Q vaut soit zéro soit un :
Il suffit donc d'un chiffre binaire pour le coder.

R varie entre 0 et 8. On

$(8)_{10} = (1000)_2$. Il faut donc 4 chiffres binaires pour coder R.

c) En regardant q_0 , on constate que q_0 est toujours nul. C'est normal,

Rappelons que dans un tableau de Karnaugh, les lignes et les colonnes doivent être dans l'ordre du code GRAY.

$$q_0 = e_3 + e_2 \cdot e_1 + e_2 \cdot e_0$$

$$= e_3 + e_2(e_1 + e_0)$$

↓
8 et 9 5, 6, 7 mais pas 4

Ici la fonction est définie dans 10 cas sur 16. Dans les 6 cas où la fonction est indéfinie (X), on choisit ce qui permet les plus gros regroupements

$$r_3 = \underbrace{e_3 \cdot e_0}_9 \text{ ou } \underbrace{e_2 \bar{e}_1 \bar{e}_0}_4$$

Rappelons qu'un bloc doit contenir un nombre de cas qui est une puissance de 2

$$= e_3 \bar{e}_0 + e_2(e_0 + \bar{e}_2)$$

$$r_2 = \underbrace{e_3 \bar{e}_0}_8 + \underbrace{e_1 \cdot e_0}_{7, 3} + \underbrace{\bar{e}_2 \cdot e_1}_2$$

Beaucoup d'étudiants ont écrit $r_0 = e_3 \cdot e_2$ je n'arrive pas à comprendre pourquoi.

$e_3 e_2$

	00	01	11	10
00	0	1	1	0
01	0	0	0	1
11	X	X	X	X
10	1	0	X	X

$\bar{e}_3 \bar{e}_2 e_0$

$e_2 e_1 \bar{e}_0$

$e_3 \bar{e}_0$
bloc de 4

$$r_1 = e_3 \bar{e}_0 + \bar{e}_3 \bar{e}_2 e_0 + e_2 e_1 \bar{e}_0$$

8 ou (1 ou 3) ou 6

exo 3

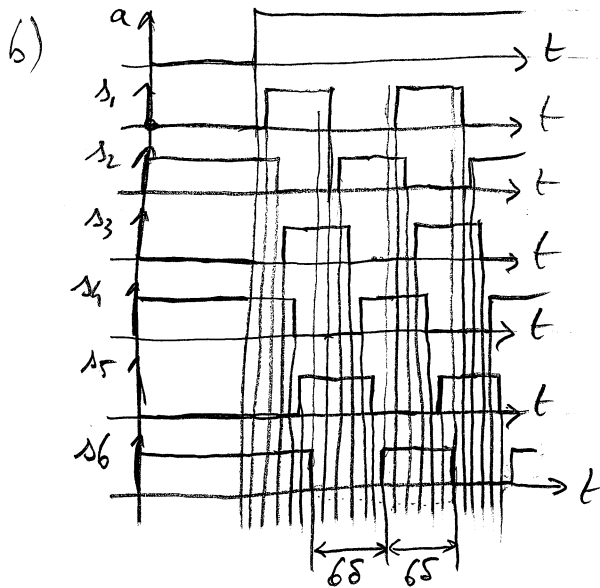
a)

$$s_1 = a \cdot s_6$$

$$s_2 = \bar{s}_1 \quad s_3 = \bar{s}_2 \quad s_4 = \bar{s}_3 \quad s_5 = \bar{s}_4 \quad s_6 = \bar{s}_5$$

Si $a=0$ $s_1 = 0 \cdot s_6 = 0$

$$s_2 = \bar{0} = 1 \quad s_3 = \bar{1} = 0 \quad s_4 = \bar{0} = 1 \quad s_5 = \bar{1} = 0 \quad s_6 = \bar{0} = 1$$



Lorsque a passe à 1, tous les signaux s_i se mettent à osciller avec une période égale à 12 fois le retard de propagation. C'est ce que l'on appelle un oscillateur en anneau (ring oscillator).

(Voir TP4)

Voir ~~Ring~~ Ring Oscillator sur wikipedia

$s_1 = a \cdot s_6$. Donc quand s_6 passe à zéro, s_1 repasse à zéro après un retard de propagation

c) Ce circuit n'est pas combinatoire car lorsque l'entrée a est à 1, la sortie s_6 est parfois égale à 0, parfois égale à 1. La sortie n'est donc pas entièrement déterminée par l'entrée : c'est donc un circuit séquentiel. Comme il n'y a pas d'horloge, c'est bien évidemment un circuit asynchrone.

Une bascule RS est un circuit constitué de 2 opérateurs NON ET ou NON OU. Il est donc constitué de 2 composants combinatoires et pourtant c'est un circuit séquentiel. Ici on a exactement la même chose : le circuit étudié ne comporte qu'un ET et cinq négations, mais la réinjection de s_6 dans s_1 rend le circuit séquentiel.

exo 4

(3)

a) Ce circuit est séquentiel : il utilise des bascules D.

Il est synchrone : les deux bascules D sont activées par le même signal d'horloge H et vont donc changer d'état quasiment en même temps.

b) $D_0 = \bar{Q}_1$

$$D_1 = Q_0 \cdot (\bar{Q}_1 + e) \quad \begin{array}{l} \text{si } e=0 \quad D_1 = Q_0 \cdot \bar{Q}_1 \\ \text{si } e=1 \quad D_1 = Q_0 \cdot (\bar{Q}_1 + 1) = Q_0 \cdot 1 = Q_0 \end{array}$$

c) Les bascules D ont un comportement simple :

- lorsqu'il y a un front montant sur le signal d'horloge, l'entrée D est envoyée vers la sortie Q.
- à tous les autres instants, la sortie Q ne peut pas évoluer.

d)

Si $e=0$

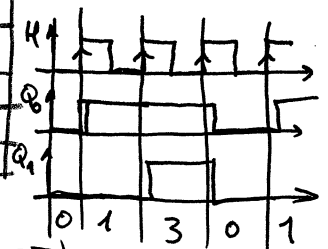
Si $Q = (Q_1 Q_0)_2 = 0$ donc $Q_1 = 0$ et $Q_0 = 0$

donc $D_1 = \bar{Q}_1 \cdot Q_0 = 0$ et $D_0 = \bar{Q}_1 = 1$

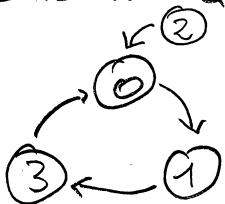
donc au prochain front montant $Q_1 = 0$ et $Q_0 = 1$

donc au prochain front montant $Q = (01)_2 = 1$

Q	Q_1	Q_0	$D_1 = \bar{Q}_1 \cdot Q_0$	$D_0 = \bar{Q}_1$	prochaine valeur de Q
0	0	0	0	1	$(01)_2 = 1$
1	0	1	1	1	$(11)_2 = 3$
2	1	0	0	0	$(00)_2 = 0$
3	1	1	0	0	$(00)_2 = 0$



Donc si $Q(t) = 0 \quad Q(t+T) = 1 \quad Q(t+2T) = 3 \quad Q(t+3T) = 0$
 $Q(t+4T) = 1$



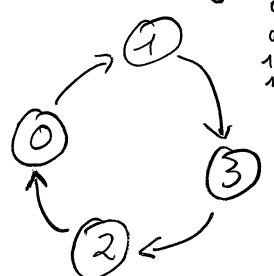
Q_1 et Q_0 sont périodiques de période $3T$.

e) Si $e=1 \quad D_1 = Q_0$

Q	Q_1	Q_0	$D_1 = Q_0$	$D_0 = \bar{Q}_1$	prochaine valeur de Q
0	0	0	0	1	$(01)_2 = 1$
1	0	1	1	1	$(11)_2 = 3$
2	1	0	0	0	$(00)_2 = 0$
3	1	1	1	0	$(10)_2 = 2$

Q_1 et Q_0 sont périodiques de période $4T$

compteur modulo 4 en code Gray



00
01
11
10

```

-----
-- Mul2WithBcdOutput
-- F. Auger, francois.auger@univ-nantes.fr, 23/06/2010

library ieee ;
use ieee.std_logic_1164.all ;

entity Mul2WithBcdOutput is
  port( e3, e2, e1, e0 : in  std_logic ;
        q0, r3, r2, r1 : out std_logic );
end Mul2WithBcdOutput;

-----
-- arch_Mul2WithBcdOutput
-- F. Auger, francois.auger@univ-nantes.fr, 23/06/2010

architecture arch_Mul2WithBcdOutput of Mul2WithBcdOutput is

begin
  q0 <= e3 or (e2 and (e1 or e0)) ;
  r3 <= (e3 and e0) or (e2 and not(e1) and not(e0));
  r2 <= (e3 and not(e0)) or (e1 and e0) or (e1 and not(e2));
  r1 <= (e3 and not(e0)) or (e0 and not(e2) and not(e3)) or (e2 and e1 and not(e0));
end arch_Mul2WithBcdOutput;

```

Devoir surveillé d'informatique d'instrumentation I

Semestre 2, 2009/2010. Durée : 1 **heure 45**.

Les exercices 1, 3 et 4 sont indépendants. L'exercice 2 peut être fait uniquement à partir des deux premières questions de l'exercice 1. Si vous joignez cet énoncé à votre copie, indiquez ci-dessous votre nom, prénom et groupe.

nom, prénom	groupe

1. **(7 points)** Soit E un chiffre décimal compris entre 0 et 9, codé en binaire par les 4 variables logiques e_3, e_2, e_1 et e_0 : $E = (e_3 e_2 e_1 e_0)_2$. On souhaite construire un circuit¹ qui fournit le quotient Q et le reste R de la division entière de $2E$ par 10, donc tels que $2E = 10Q + R$. Par exemple, pour $E = 7$, $2E = 14 = 1 \times 10 + 4$, donc $Q = 1$ et $R = 4$.
 - (a) Compléter le tableau de la figure 1 en précisant les valeurs de Q et R pour chaque valeur de E .
 - (b) Combien faut-il de chiffres binaires pour coder Q et R en binaire ? On notera q_i et r_j (avec i et j égaux à 0, 1, ...) ces différentes variables logiques. Compléter le tableau de la figure 1 en utilisant autant de colonnes que nécessaire pour donner le tableau de vérité de toutes les variables q_i et r_j .
 - (c) Quelle est l'expression logique simplifiée de r_0 ? Est-il vraiment nécessaire que le circuit fournisse cette variable ?
 - (d) À l'aide de tableaux de Karnaugh, donner des expressions logiques simplifiées de toutes les variables q_i et r_j (à l'exception de r_0) en fonction de e_3, e_2, e_1 et e_0 .

E	e_3	e_2	e_1	e_0	Q	R										
0																
1																
2																
3																
4																
5																
6																
7						1	4									
8																
9																

Figure 1: Tableau utilisé dans l'exercice 1. Ce tableau comporte peut-être plus de colonnes que nécessaire.

2. **(3 points)** Écrire le couple entité-architecture qui permet de décrire en VHDL le circuit étudié dans l'exercice 1.

¹Ce circuit est utilisé pour convertir la représentation binaire d'un nombre en son code DCB, par exemple pour le faire apparaître ensuite sur des afficheurs 7 segments.

3. (4 points) Le circuit de la figure 2 est régulièrement inclus dans les circuits intégrés complexes². Il peut avoir un double usage :

- étant capable de provoquer des successions de charges et de décharges de conducteurs métalliques, il peut être utilisé comme une *source de chaleur*, capable d'élever la température locale d'une partie d'un circuit intégré³ ;
- étant sensible à la durée des retards de propagation des circuits logiques élémentaires, il peut être utilisé comme *capteur de température*, pour mesurer la température locale d'une partie d'un circuit intégré.

- (a) Quelles sont les expressions logiques des variables logiques s_1 , s_2 , s_3 , s_4 , s_5 et s_6 présentes sur le circuit de la figure 2 ? Si l'entrée a est au niveau logique 0, que valent les variables logiques s_1 , s_2 , s_3 , s_4 , s_5 et s_6 ?
- (b) Après être longtemps resté au niveau logique bas, l'entrée a passe à un instant donné au niveau logique haut, et n'évolue plus ensuite. En déduire un chronogramme des signaux a , s_1 , s_2 , s_3 , s_4 , s_5 et s_6 . On représentera les retards de propagation par un décalage de 1 mm. Quelle est la période des signaux logiques obtenus ?
- (c) Ce circuit est-il combinatoire ou séquentiel ? Justifiez votre réponse.

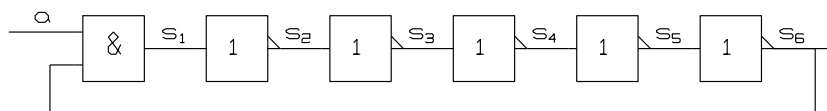


Figure 2: Circuit étudié dans l'exercice 3.

4. (6 points) Le circuit de la figure⁴ 3 possède deux entrées e et H et deux sorties Q_1 et Q_0 . Il utilise deux bascules D activées sur les fronts montants du signal d'horloge. On notera Q le nombre représenté en binaire par Q_1 et Q_0 : $Q = (Q_1 Q_0)_2$. H est un signal logique périodique de période T et de rapport cyclique égal à 50 %.

- (a) Ce circuit est-il combinatoire ou séquentiel ? Est-il synchrone ou asynchrone ? Justifiez votre réponse.
- (b) Quelles sont les expressions logiques de D_1 et D_0 en fonction de Q_1 , Q_0 et e ? Que devient l'expression de D_1 lorsque $e = 0$? Que devient l'expression de D_1 lorsque $e = 1$?
- (c) Rappeler le fonctionnement des bascules D utilisées dans ce circuit.
- (d) On supposera dans cette question que $e = 0$. Si à un instant donné, $Q = (Q_1 Q_0)_2$ est égal à 0, quelles sont les valeurs de D_1 et D_0 ? Quelle sera la valeur de Q au prochain front montant du signal d'horloge ? Répondre aux mêmes questions pour Q égal à 1, 2, ou 3 en complétant le premier tableau de la figure 4. Si à un instant t donné, Q est égal à 0, quelles seront les valeurs de Q aux instants $t + T$, $t + 2T$, $t + 3T$ et $t + 4T$? Quelle est la période de chacun des signaux Q_1 et Q_0 ?
- (e) Répondre aux mêmes questions en supposant à présent que $e = 1$. On utilisera pour cela le deuxième tableau de la figure 4.

²Voir T. Kean, C. Marsh, D. Naccache, "Temperature Attacks", IEEE Security and Privacy, Vol 7, No 2, pp 79–82, mars-avril 2009.

³Ce circuit a notamment été utilisé comme "chauffage d'appoint" dans certains circuits intégrés conçus pour fonctionner à des très basses températures.

⁴Source : J. Weber, M. Meaudre, "Circuits numériques et synthèse logique" Masson, 1995, p 110.

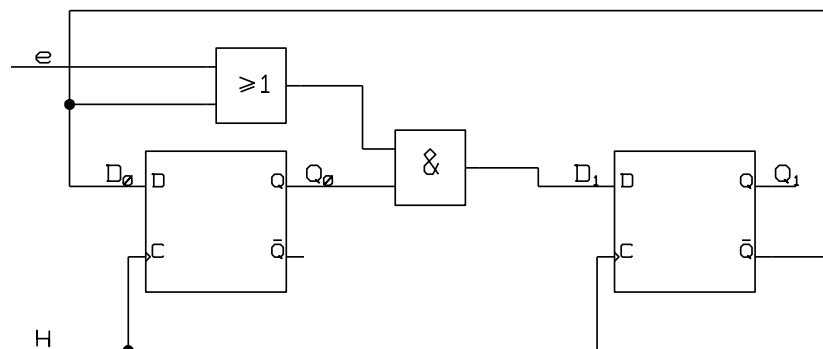


Figure 3: Circuit étudié dans l'exercice 4.

1 ^{er} cas : $e = 0$					
Q	Q_1	Q_0	D_1	D_0	valeur suivante de Q
0					
1					
2					
3					
2 ^{ème} cas : $e = 1$					
Q	Q_1	Q_0	D_1	D_0	valeur suivante de Q
0					
1					
2					
3					

Figure 4: Tableau utilisé dans l'exercice 4.