

exercice 1

a) C'est une question de cours : voir chapitre sur les comparateurs, paragraphe comparateurs à fenêtre.

Les deux comparateurs étant supposés idéaux $i_{+} \approx i_{-} \approx i_{2+} \approx i_{2-} \approx 0A$

Donc les résistances R_1, R_2 et R_3 sont traversées par le même courant

$$i = \frac{V_H - V_b}{R_1} = \frac{V_b - V_a}{R_2} = \frac{V_a}{R_3} = \frac{V_H}{R_1 + R_2 + R_3}$$

On en déduit donc $\frac{R_2}{R_1} = \frac{V_b - V_a}{V_H - V_b} = 1$ et $\frac{R_3}{R_1} = \frac{V_a}{V_H - V_b} = 0,174$

b) On veut que $i = 0,5 mA$ donc

$$R_1 = \frac{V_H - V_b}{i} = 4,6 k\Omega ; R_2 = \frac{V_b - V_a}{i} = 4,6 k\Omega ; R_3 = \frac{V_a}{i} = 800 \Omega$$

$R_1 + R_2 + R_3 = \frac{V_H}{i} = 10 k\Omega$

c) Si la tension V_e n'est pas imposée par un circuit extérieur, V_e est déterminée par R_4 et R_5 , qui sont traversés par le même courant

$$i = \frac{V_H - V_e}{R_4} = \frac{V_e}{R_5} \Rightarrow \frac{R_4}{R_5} = \frac{V_H - V_e}{V_e} = \frac{2V_H - V_{e,max} - V_{e,min}}{V_{e,max} + V_{e,min}} = 2,226$$

d) On veut que $i = 0,5 mA$ donc

$$R_4 = \frac{V_H - V_e}{i} = 6,9 k\Omega ; R_5 = \frac{V_e}{i} = 3,1 k\Omega \text{ rem: } R_4 + R_5 = \frac{V_H}{i} = 10 k\Omega$$

La seule question sur les comparateurs

e) Si $V_e < V_{e,max}$ alors $V_e < V_a \Rightarrow V_{2+} < V_{2-} \rightarrow V_{2+} - V_{2-} < 0 \Rightarrow V_{S2} = 0V$
 $V_e < V_b \Rightarrow V_{1-} < V_{1+} \Rightarrow V_{1+} - V_{1-} > 0 \Rightarrow V_{S1} = V_H$

Si $V_{e,max} < V_e < V_{e,min}$ alors $V_e > V_a \Rightarrow V_{2+} > V_{2-} \Rightarrow V_{2+} - V_{2-} > 0 \Rightarrow V_{S2} = V_H$
 $V_e < V_b \Rightarrow V_{1-} < V_{1+} \Rightarrow V_{1+} - V_{1-} > 0 \Rightarrow V_{S1} = V_H$

Si $V_e > V_{e,min}$ alors $V_e > V_a \Rightarrow V_{2+} > V_{2-} \Rightarrow V_{2+} - V_{2-} > 0 \Rightarrow V_{S2} = V_H$
 $V_e > V_b \Rightarrow V_{1-} > V_{1+} \Rightarrow V_{1+} - V_{1-} < 0 \Rightarrow V_{S1} = 0V$

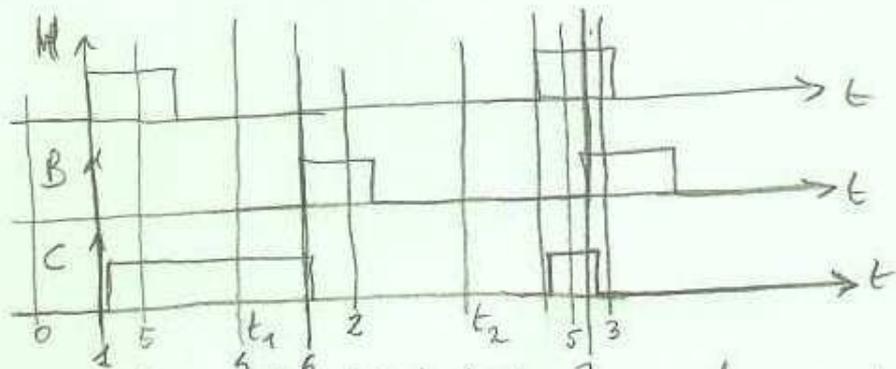
f)

				Δ_1	Δ_2	c	d
$V_e < V_{e,max}$	0	$V_{S1} = V_H$	$V_{S2} = 0V$	1	0	0	0
$V_e > V_{e,min}$	1	$V_{S1} = 0V$	$V_{S2} = V_H$	0	1	1	0
$V_{e,max} < V_e < V_{e,min}$	defaut	$V_{S1} = V_H$	$V_{S2} = V_H$	1	1	X	1

$$c = \Delta_2 \cdot \bar{\Delta}_1$$

$$d = \Delta_2 \cdot \Delta_1$$

exercice 2



on regarde aux différents instants du

chronogramme

	C	B	H	C+
0 →	0	0	0	0
1 →	0	0	1	1
2 →	0	1	0	0
3 →	0	1	1	0
4 →	1	0	0	1
5 →	1	0	1	1
6 →	1	1	0	0
7 →	1	1	1	0

C est un circuit séquentiel : aux instants t_1 et t_2 , $H=B=0$, alors que C est égal à 1 à l'instant t_1 et $C=0$ à l'instant t_2 . La sortie C n'est donc pas seulement déterminée par les entrées B et H, mais aussi par la valeur antérieure de C

C_+	BH	00	01	11	10
0	0	0	1	0	0
1	1	1	1	0	0

$C\bar{B}$ $\bar{B}H$

$$C_+ = \bar{B}(C + H)$$

C' est une bascule RS à déclenchement prioritaire

exercice 3

Questions a et b : voir énoncé. A chaque fois, les électrons se positionnent dans l'état où les forces répulsives sont les moins grandes.

Le circuit de la figure 6 est un inverseur. Celui de la figure 7 est un indicateur de niveau majoritaire à 3 entrées

c) Pour que $\Pi_3(0, a, b)$ soit à 1, il faut qu'il y ait une majorité de 1 à l'entrée, ce qui n'est possible que dans le cas où $a=b=1$
donc $\Pi_3(0, a, b) = a \cdot b$

Pour que $\Pi_3(1, a, b)$ soit à 0, il faut qu'il y ait une majorité de 0 à l'entrée, ce qui n'est possible que lorsque $a=b=0$. Donc $\Pi_3(1, a, b) = a + b$

d) $S(t+e) = \Pi_3(A(t), e_1(t), e_0(t))$

s	e_1	e_0	S_t
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

e_1	e_0	S_t
0	0	0
0	1	S
1	0	S
1	1	1

mise à zéro (0 majoritaire)

) effet mémoire (c'est S_t qui détermine le niveau majoritaire)

mise à un (1 majoritaire)

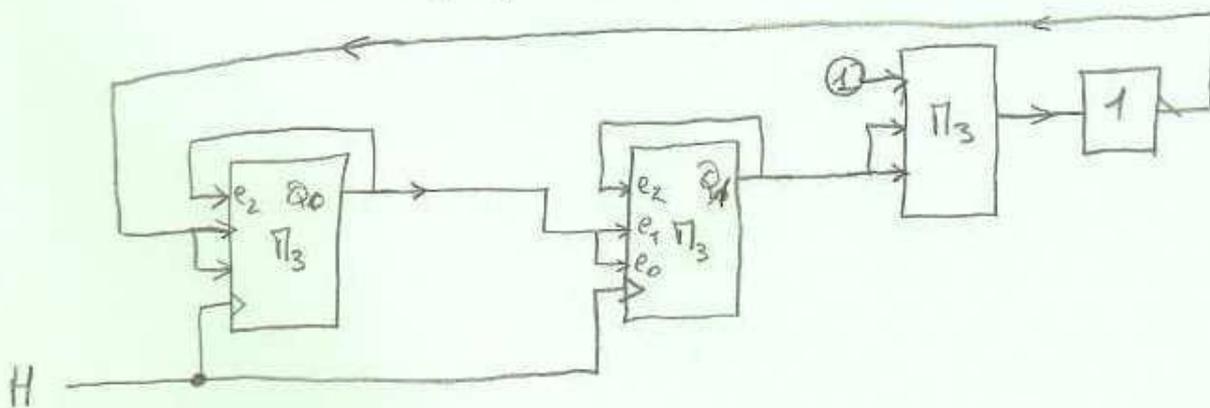
Cette bascule ne possède que 3 comportements il n'y a pas d'effet compteur.

e) Pour compter de 0 à 2, il faut 2 chiffres binaires
 \Rightarrow 2 bascules

Q_1	Q_0	e_{11}	e_{10}	e_{01}	e_{00}
0	0	0	X	1	1
0	1	1	1	0	0
1	0	0	0	0	X

Q_0
 Q_0

$\overline{Q_1} \cdot \overline{Q_0} = \overline{Q_1 + Q_0}$



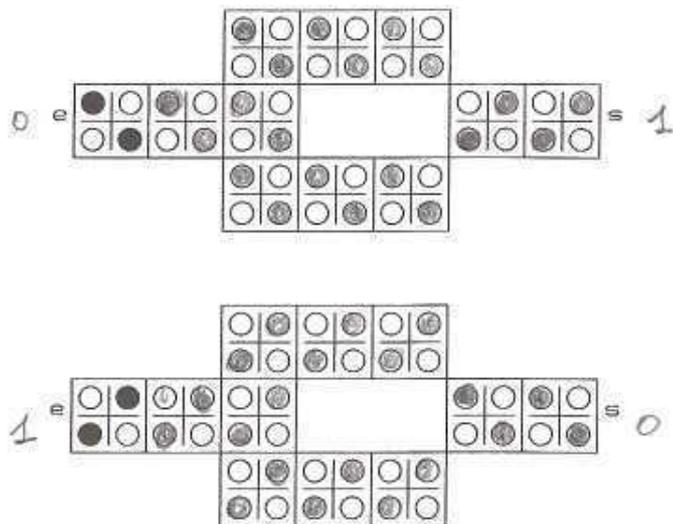
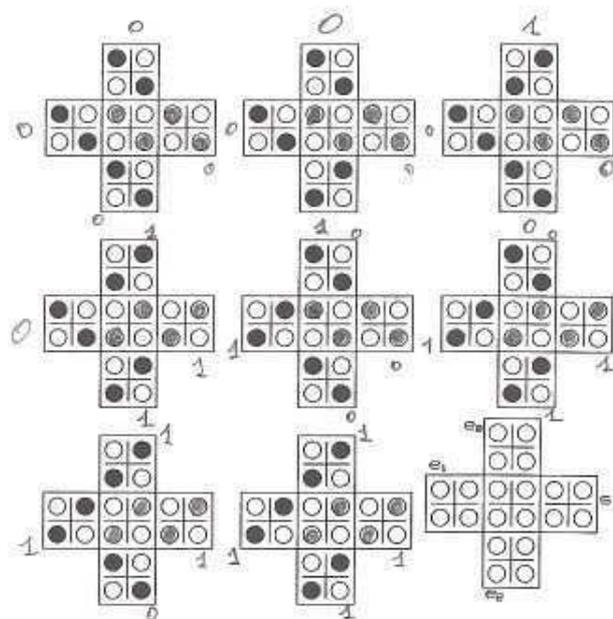


Figure 6: Circuit à une entrée e et une sortie s étudié dans l'exercice 3.



A chaque fois, les électrons se placent dans la position la moins instable

Figure 7: Circuit à trois entrées e_0 , e_1 , e_2 et une sortie s étudié dans l'exercice 3.

Devoir surveillé d'Électronique d'Instrumentation II

DUT MP, Semestre 4, 2008/2009. Durée : 1 **heure 45**.

Les trois exercices sont indépendants. Si vous joignez cet énoncé à votre copie, indiquez ci-dessous votre nom, prénom et groupe.	
nom, prénom	groupe

1. **(6 points)** Lorsqu'il fonctionne, un capteur en tout ou rien (par exemple un détecteur de fumée) envoie au circuit électronique auquel il est relié (par exemple un microcontrôleur) soit un niveau logique bas, soit un niveau logique haut. En logique TTL, un niveau logique bas correspond à une tension comprise entre 0 et $V_{OLmax} = 0.4$ V et un niveau logique haut correspond à une tension comprise entre $V_{OHmin} = 2.7$ V et 5 V. Mais lorsque le capteur est défectueux, débranché ou non alimenté, le capteur ne délivre aucune tension. Pour que les traitements que le circuit électronique fait à partir de l'information provenant du capteur soient corrects, il est important qu'il s'aperçoive de cette troisième possibilité.

Le circuit de la figure 1 constitue une manière possible¹ de détecter une absence de tension ou une tension correspondant à un niveau logique 0 ou 1. Les deux comparateurs sont supposés idéaux et alimentés par une tension $V_H = 5$ V. On notera V_a la tension au point d'interconnection de R_2 et R_3 ($V_a = V_{2-}$) et V_b la tension au point d'interconnection de R_1 et R_2 ($V_b = V_{1+}$).

- Calculer R_3/R_1 et R_2/R_1 pour que $V_a = V_{OLmax}$ et $V_b = V_{OHmin}$.
 - On souhaite que R_1 , R_2 et R_3 soient traversés par un courant de 0.5 mA. En déduire les valeurs de R_1 , R_2 et R_3 .
 - On souhaite que lorsque la tension V_e n'est pas imposée par le capteur, les résistances R_4 et R_5 forcent V_e à $(V_{OLmax} + V_{OHmin})/2$. En déduire la valeur du rapport R_4/R_5 .
 - On souhaite que R_4 et R_5 soient traversés par un courant de 0.5 mA. En déduire les valeurs de R_4 et R_5 .
 - Déduire de la règle de comportement des comparateurs la valeur des tensions V_{s1} et V_{s2} en fonction de la valeur de V_e . Compléter alors le tableau de la figure 2, où s_1 et s_2 sont les variables logiques qui correspondent aux tensions V_{s1} et V_{s2} .
 - On souhaite déduire de s_1 et s_2 deux variables logiques c et d . La première correspond à la sortie du capteur lorsqu'il fonctionne correctement, la seconde indique un capteur défectueux. Donner des expressions logiques simples de c et d en fonction de s_1 et s_2 .
2. **(5 points)** On souhaite mesurer la durée de la chute d'un objet. Pour cela, on utilise deux détecteurs à effet Hall qui délivrent des signaux notés H et B (pour haut et bas). Le début de la chute est détecté par le passage au niveau haut du signal H . La fin de

¹Voir R. Plisch, "Économie de broches", *Elektor*, No 361-362, p 62, août 2008.

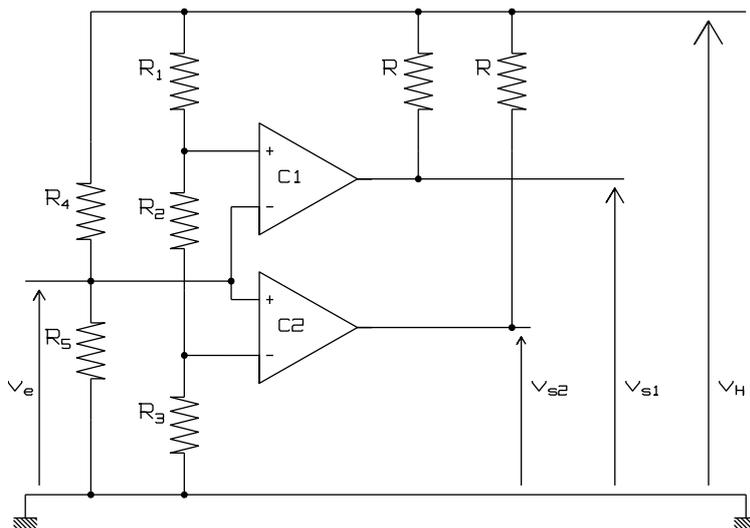


Figure 1: Circuit étudié dans l'exercice 1.

capteur	s_1	s_2	c	d
0			0	0
1			1	0
défectueux			X	1

Figure 2: Tableau de vérité des fonctions étudiées dans l'exercice 1.

la chute est détectée par le passage au niveau haut de B . Pour mesurer la durée de la chute, on veut fabriquer à partir de H et B un signal C qui passe à 1 à l'instant du front montant du signal H , et qui repasse à 0 à l'instant du front montant du signal B . On utilisera ensuite un compteur pour mesurer le temps pendant lequel le signal C est au niveau logique haut.

- Le circuit qui permet d'obtenir C à partir de B et H relève-t-il de la logique combinatoire ?
- En s'aidant du chronogramme de la figure 3, compléter le tableau de vérité de la figure 4, exprimant C_+ , la future valeur de C , en fonction de C , B et H . Compléter ensuite le tableau de Karnaugh correspondant. En déduire une expression logique simplifiée de C_+ .

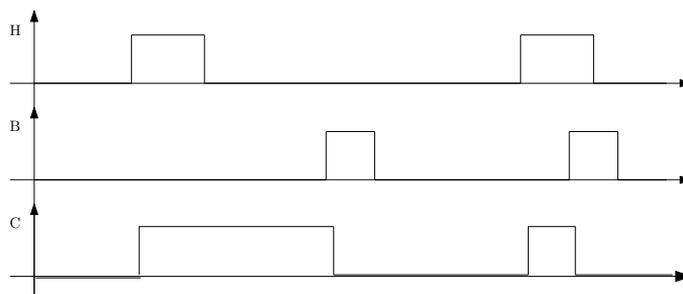


Figure 3: Circuit étudié dans l'exercice 2.

C	B	H	C_+

BH				
C	00			
0				
1				

Figure 4: Tableau de vérité et tableau de Karnaugh de la fonction étudiée dans l'exercice 2.

3. (9 points). Les questions b, c, d peuvent être faites avant les questions a et b, qui sont toutesfois très simples.

Il est communément admis que les progrès réalisés dans la lithographie des circuits intégrés vont atteindre leur limite ultime en 2020 environ. Pour continuer à augmenter la complexité des circuits intégrés (et donc respecter la conjecture de Moore², qui affirme que le nombre de transistors des puces de silicium des microprocesseurs double tous les deux ans), de nouvelles technologies sont actuellement développées. Parmi celles-ci, les plus particulièrement étudiées sont les nanotubes de carbone, les transistors à un seul électron et les automates cellulaires à puits quantiques. Ces technologies nécessiteront probablement de concevoir de nouvelles techniques de synthèse des circuits logiques³.

Les automates cellulaires à puits quantiques correspondent à des associations de cellules élémentaires. Ces cellules élémentaires comportent chacune quatre puits (dont les parois sont chargées positivement) et deux électrons libres, emprisonnés à l'intérieur de la cellule par une barrière de potentiel qui l'entoure. Ces électrons sont piégés dans les puits, dans des positions les plus éloignées les unes des autres, du fait des forces électrostatiques répulsives que les électrons exercent l'un sur l'autre. Chaque cellule possède donc deux états stables, que l'on peut noter 0 et 1 (voir figure 5, en haut). Des circuits (appelés automates cellulaires) peuvent alors être constitués en juxtaposant ces cellules élémentaires les unes à côté des autres. Les forces électrostatiques répulsives des électrons conduisent alors chaque cellule à se mettre dans l'état le plus stable, dans lequel les électrons sont les plus éloignés les uns des autres (voir figure 5, en bas).

- (a) Soit le circuit de la figure 6, d'entrée e (à l'extrémité gauche) et de sortie s (à l'extrémité droite). Compléter la figure 6, en rajoutant dans chaque cellule les deux électrons manquants en position stable. Déterminer alors l'état logique de la sortie s dans chacun des deux états possibles de l'entrée e . Quelle est la fonction logique réalisée par ce circuit ?
- (b) Soit le circuit de la figure 7, d'entrées e_0 , e_1 et e_2 et de sortie s (voir figure 7 en bas à droite). Compléter la figure 6, en rajoutant dans chaque cellule les deux électrons manquants en position stable. Déterminer alors l'état logique de la sortie

²Cette conjecture a été énoncée en 1965 par Gordon Moore, l'un des trois fondateurs de la société *Intel*. À cette époque, le circuit intégré le plus performant ne comportait que 64 transistors.

³Voir S. Srivastava, S. Bhanja, "Integrating a nanologic knowledge module into an undergraduate logic design course", *IEEE Trans. on Education*, Vol. 51, No 3, pp 349-355, août 2008. Voir aussi <http://www.nd.edu/~qcahome>

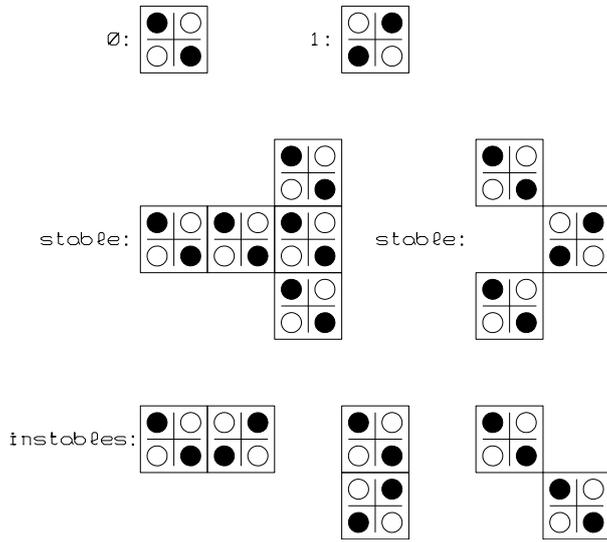


Figure 5: Cellules à puits quantiques (*quantum-dot cells*) étudiées dans l'exercice 3. Chaque cellule est représentée par un carré, délimité par un trait symbolisant la barrière de potentiel emprisonnant les deux électrons. Un puits occupé par un électron est représenté par un disque noir, un puits inoccupé est représenté par un disque blanc entouré d'un cercle noir.

dans chacun des huit états possibles des entrées. Quelle est la table de vérité de ce circuit ?

- (c) Soit $s = M_3(c, b, a)$ la fonction logique dont la sortie est à un niveau logique égal au niveau logique majoritaire parmi les trois entrées. Faire une table de vérité de cette fonction. Quelles sont les fonctions logiques correspondant à $s = M_3(0, b, a)$ et $s = M_3(1, b, a)$? Ceci montre qu'avec des indicateurs majoritaires à trois entrées et des inverseurs, on peut réaliser n'importe quelle fonction de logique combinatoire.
- (d) Soit le circuit logique obtenu en réinjectant la sortie s sur une des entrées de la fonction M_3 , soit $s(t + \tau) = M_3(s(t), e_1(t), e_0(t))$. Un tel circuit relève-t-il de la logique combinatoire ? Faire un tableau décrivant le comportement de ce circuit en fonction de $s(t)$, $e_1(t)$ et $e_0(t)$. Combien ce circuit possède-t-il de comportements différents ?
- (e) On suppose que l'on est capable de synchroniser les circuits de la question précédente par un signal périodique envoyé à chacun des circuits. L'évolution de ces circuits n'est alors possible qu'aux instants des fronts montants de ce signal périodique. On souhaite concevoir avec de tels circuits un compteur modulo 3, qui compte périodiquement de 0 à 2 en binaire. On justifiera que l'on a besoin pour cela de deux circuits (l'un, d'entrées e_{11} , e_{10} et de sortie Q_1 , l'autre, d'entrées e_{01} , e_{00} et de sortie Q_0). Donner des expressions logiques simplifiées des entrées e_{00} , e_{01} , e_{10} et e_{11} en fonction des sorties Q_0 et Q_1 . Combien d'inverseurs et d'indicateurs majoritaires à trois entrées seront nécessaires ?

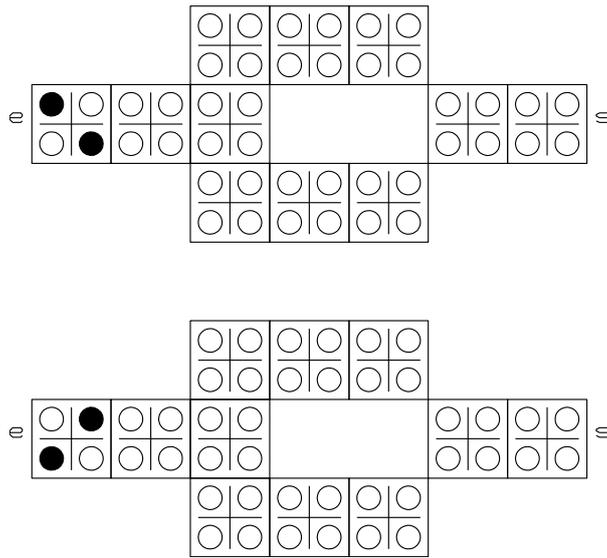


Figure 6: Circuit à une entrée e et une sortie s étudié dans l'exercice 3.

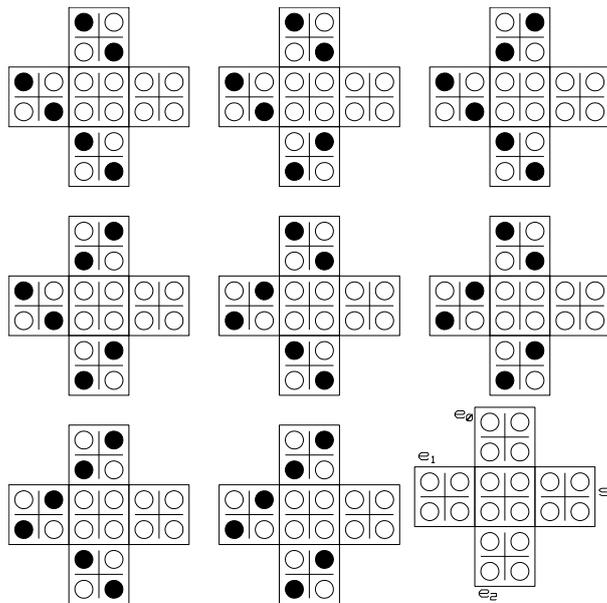


Figure 7: Circuit à trois entrées e_0 , e_1 , e_2 et une sortie s étudié dans l'exercice 3.