

THESE DE DOCTORAT DE

NANTES UNIVERSITE

ECOLE DOCTORALE N° 601
*Mathématiques et Sciences et Technologies
de l'Information et de la Communication*
Spécialité : *Électronique*

Par

Alexis DUHAMEL

Development of a dynamic resource allocation controller for partially reconfigurable FPGAs with service guarantee approach

Thèse présentée et soutenue à Nantes Université, le 7 décembre 2022
Unité de recherche : IETR UMR 6164

Rapporteurs avant soutenance :

M. DE LA TORRE Eduardo Associate Professor, Universidad Politécnica de Madrid
M. TESSIER Russell Professor, University of Massachussets

Composition du Jury :

Examineurs :	M. CHILLET Daniel	Professeur, Université de Rennes 1
	M. DE LA TORRE Eduardo	Associate Professor, Universidad Politécnica de Madrid
	M. TESSIER Russel	Professor, University of Massachussets
	M. VERDIER François	Professeur, Université Côte d'Azur
Directeur de thèse :	M. PILLEMENT Sébastien	Professeur, Nantes Université
Encadrante :	Mme. KOUKI Wiem	Ingénieure de recherche, Capgemini Engineering, Nantes

Titre : Développement d'un contrôleur dynamique d'allocation de ressources pour FPGAs reconfigurables partiellement avec approche garantie de service

Mots clés : FPGA, reconfiguration dynamique partielle (RPD), gestion d'allocation de ressources, garantie de service, accélération matérielle

Résumé : Les FPGAs dynamiquement reconfigurables permettent le changement d'accélérateurs matériels au temps de l'exécution. Cette technique permet notamment de réduire la taille des FPGAs dans les systèmes embarqués, réduisant les coûts de fabrication et la consommation d'énergie. Dès lors, de nouvelles problématiques de conception d'architectures et de leur gestion se posent, afin d'exploiter au mieux cette technique. La question de la garantie d'exécution des services se pose notamment en raison des besoins changeants des applications embarquées et de la complexité des algorithmes de gestion des ressources.

L'objectif de ce travail est de proposer une méthodologie de gestion d'allocation des

ressources matérielles afin de garantir un niveau minimum de service d'une application. Pour cela, un modèle de qualité est présenté, permettant de qualifier le niveau de service d'une application exécutée sur une architecture dynamiquement reconfigurable. Ce modèle de qualité est utilisé afin de proposer deux méthodes permettant de gérer dynamiquement l'allocation des régions reconfigurables tout en maximisant la qualité du service rendu par le système. Enfin, un algorithme d'ordonnement rapide et performant est introduit, permettant d'exploiter les caractéristiques des architectures dynamiquement reconfigurables. Les résultats obtenus sur un ensemble de benchmarks démontrent l'efficacité de l'approche proposée.

Title : Development of a dynamic resource allocation controller for partially reconfigurable FPGAs with service guarantee approach

Keywords : FPGA, Dynamic partial reconfiguration (DPR), Resource allocation management, Service guarantee, Reconfigurable computing, Hardware acceleration

Abstract : Embedded systems based on dynamically reconfigurable FPGAs allow hardware accelerators to be swapped at runtime. This technique enables to reduce the size of FPGAs in embedded systems, reducing manufacturing costs and energy consumption. From then on, new challenges of architecture design and management arise, in order to make the most of this technique. Guarantee of service execution should be observed as embedded systems applications have changing computational needs, and the time complexity of resource allocation algorithms introduce latency overheads.

The objective of this thesis is to propose a methodology for managing the allocation of

hardware resources to guarantee a minimum level of service of an application. A quality model is introduced, allowing to qualify the service level of an application executed on a dynamically reconfigurable architecture. This quality model is used to propose two methodologies to dynamically manage the allocation of reconfigurable regions while maximizing the quality of service provided by the system. Finally, a fast and efficient scheduling algorithm is introduced to exploit the characteristics of our dynamically reconfigurable architecture.

Results on a set of benchmarks demonstrate the effectiveness of the proposed approaches.